

Hes-so VALAIS WALLIS

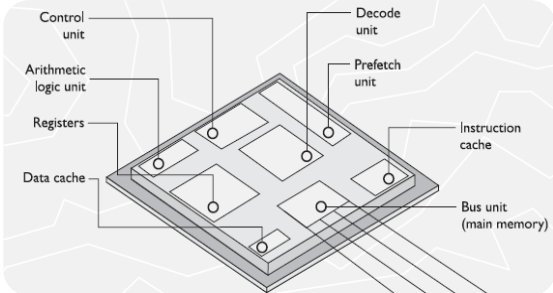
63-12 Introduction à l'Informatique

Le Processeur

Xavier Barmaz

Viktorov # digi@ep.lqpe#

1



Hes-so VALAIS WALLIS

Concepts Généraux des processeurs

Viktorov # digi@ep.lqpe#

2

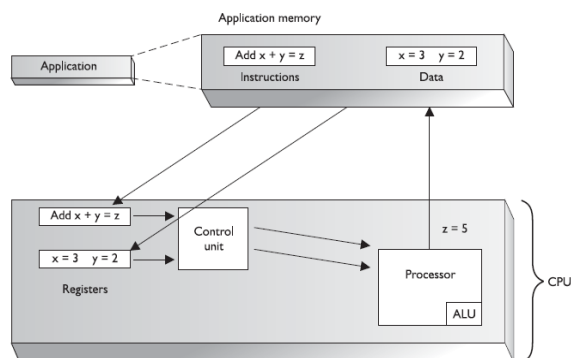
Définition

- CPU = **C**entral **P**rocessing **U**nit
 - Unité Centrale de Traitement = **Cerveau** de l'ordi
 - Composé de plusieurs centaines de millions de transistors actuellement
- Composant essentiel d'un ordinateur. Son rôle est :
 - d'**exécuter** les **instructions** composant le **programme**
 - calc, notepad, winword, etc...
 - de se charger de **tous les calculs** mathématiques et des transferts de données internes et externes

3

Définition

Le processeur exécute une à une les **instructions** stockées sous forme numérique en **mémoire**, écrites par le programmeur ou le **compilateur**, en utilisant ses éléments internes : **séquenceur (control unit)**, **registres** et **unité arithmétique et logique**.

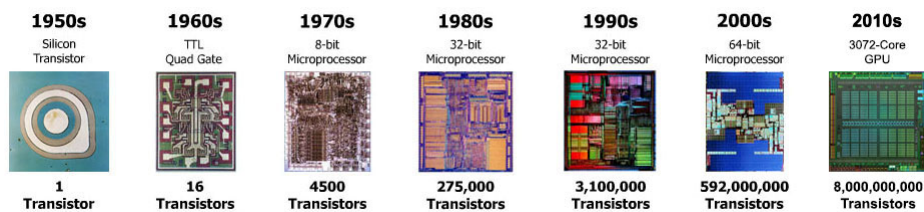


4

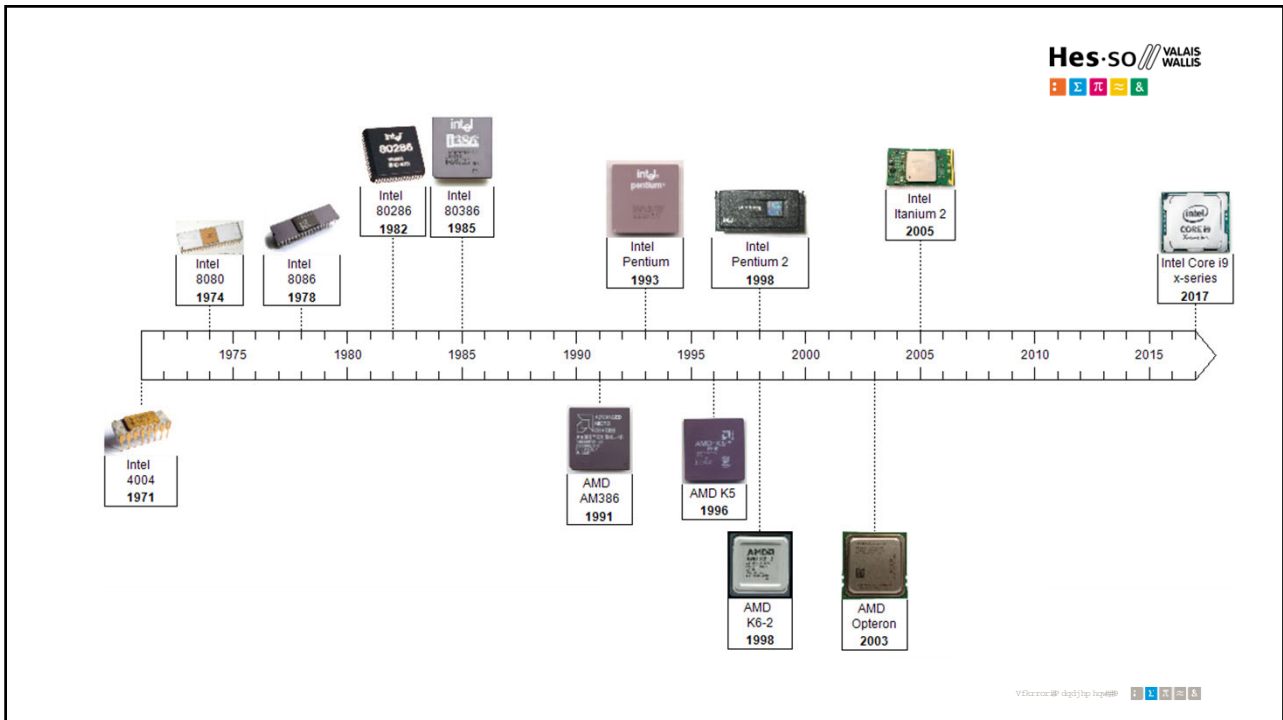
Définition



Toutes les opérations au sein du CPU sont effectuées par des **signaux électriques** à des tensions [volts] différentes dans différentes combinaisons, et chaque **transistor** retient cette tension, ce qui représente les **0 et 1** du système d'exploitation.

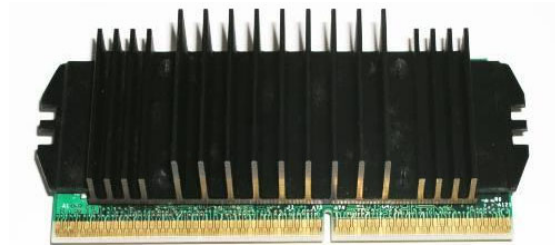
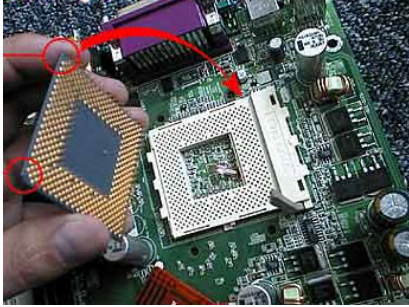


5



6

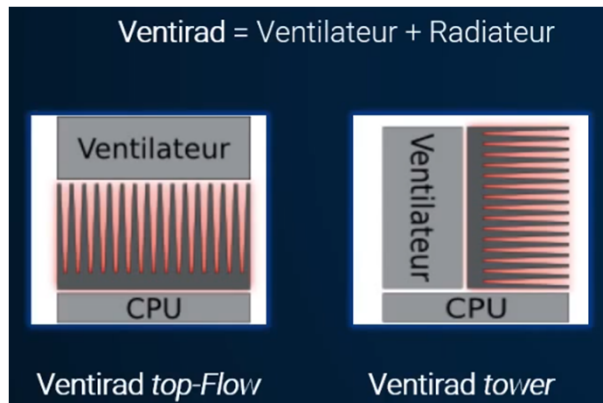
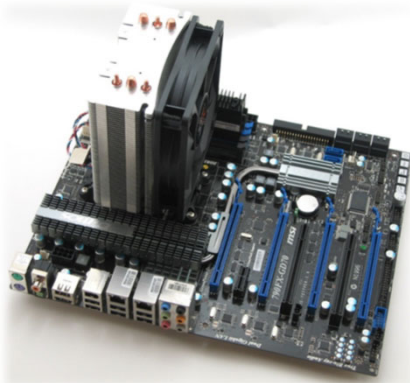
Socket vs Slot



7

Refroidissement

Ventilateur (ventirad)

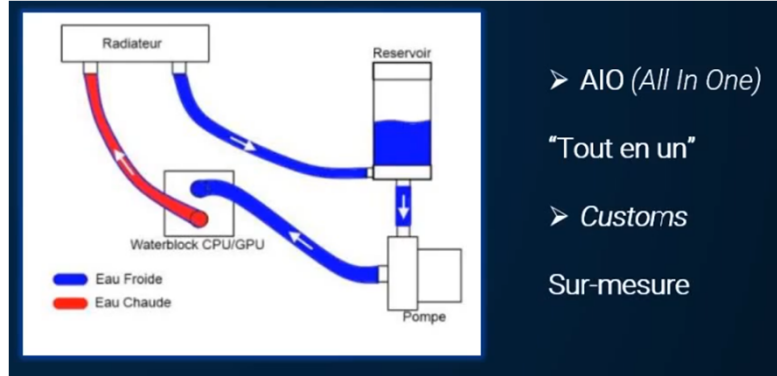


8

Refroidissement



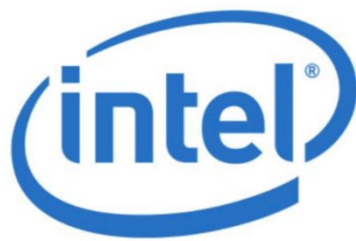
Watercooling



- AIO (All In One)
- “Tout en un”
- Customs
- Sur-mesure

Visitez digiip.be

Marques



<https://www.itechtics.com/processor-generations/>

Visitez digiip.be

Marques



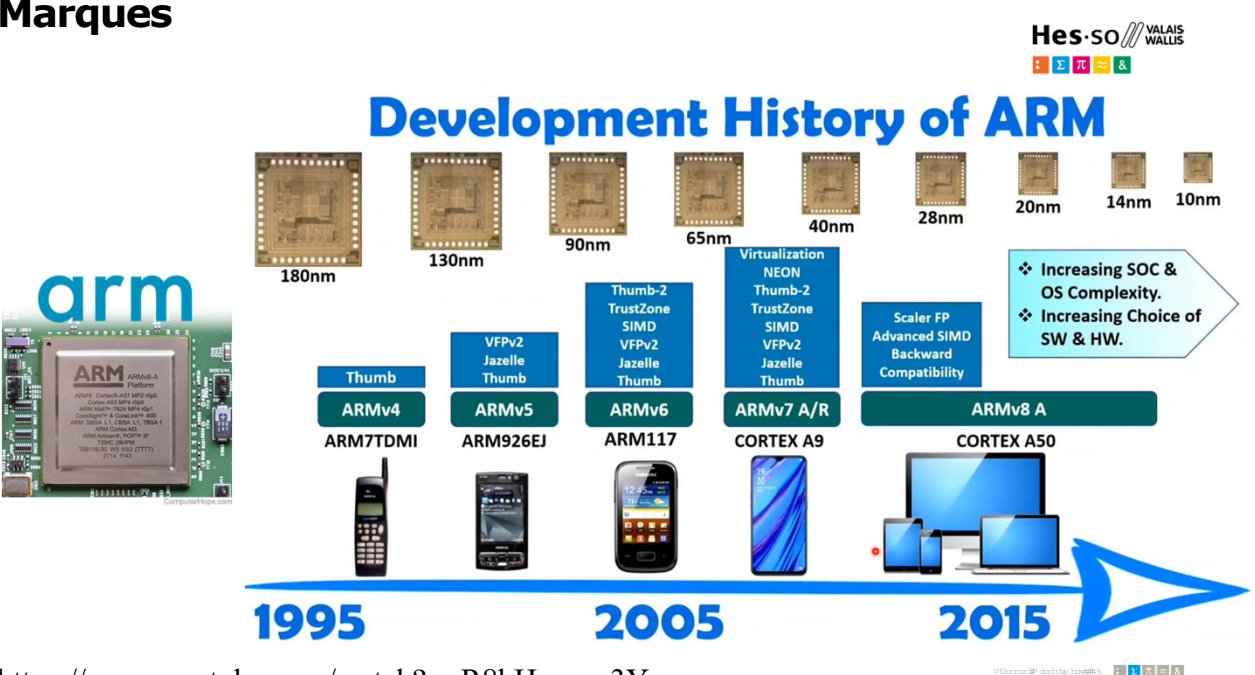
AMD

Hes-so VALAIS WALLIS

https://www.reddit.com/r/Amd/comments/bipmxk/amd_50th_anniversary_timeline/

11

Marques



Development History of ARM

arm

180nm, 130nm, 90nm, 65nm, 40nm, 28nm, 20nm, 14nm, 10nm

Thumb, ARMv4, ARM7TDMI (1995)

VFPv2, Jazelle, Thumb, ARMv5, ARM926EJ

Thumb-2, TrustZone, SIMD, VFPv2, Jazelle, Thumb, ARMv6, ARM117

Virtualization, NEON, Thumb-2, TrustZone, SIMD, VFPv2, Jazelle, Thumb, ARMv7 A/R, CORTEX A9 (2005)

Scaler FP, Advanced SIMD, Backward Compatibility, ARMv8 A, CORTEX A50 (2015)

- ❖ Increasing SOC & OS Complexity.
- ❖ Increasing Choice of SW & HW.

https://www.youtube.com/watch?v=R8bH_pary3Y

12

Marques

Hes-so VALAIS WALLIS

Smartphones:

- Samsung Exynos
- Huawei Kirin
- ...

Vektor

13

Marques

Hes-so VALAIS WALLIS

ARM vs Intel

https://fr.gyomazine.com/article/mte_explains_the_differences_between_arm_and_intel

- Mac M1: processeur ARM
- Windows 10-11 supporte ARM
- Virtual box n'annonce aucun support ARM

Path to Compute performance leadership with efficiency

Processor	Year	Technology Node
Cortex-A15	2013	28nm
Cortex-A57	2014	20nm
Cortex-A72	2015	16nm
Cortex-A73	2016	16nm
Cortex-A75	2017	10nm
Cortex-A76	2018	7nm
Deimos	2019	7nm
Hercules	2020	5nm
Core i5-4300U	-	22nm
Core i5-6300U	-	14nm
Core i5-7300U	-	14nm

- A performance trajectory surpassing Moore's law
- Unmatched year-over-year Arm CPU performance gains

2.5x increase

Measured estimates on SPECint*_base2006 (SPECspeed* Integer component of SPEC CPU* 2006) on Intel Core i5-7300U, Core i5-6300U, Core i5-4300U, Arm single-core performance estimated for compute platform. Results are measured estimates using specific computer systems, software, components, operations, and functions and changes to any of these factors will cause the results to vary.

14

Real Time Clock

Actuellement, sur les cartes mère, l'oscillateur devient donc un *composant invisible (intégré au soubridge)*



Hes-so VALAIS WALLIS



- L'**horloge temps réel** (notée **RTC**) est un circuit chargé de
 - mettre à jour en temps réel l'horloge de l'ordinateur
 - la synchronisation des signaux du système (clock synthesizer)
- Elle est constituée d'un **crystal** (quartz ou digital) qui, en vibrant, donne des impulsions (appelés **tops d'horloge**) afin de cadencer le système (processeur, bus, ...)
- On appelle **fréquence de l'horloge** (exprimée en **Mhz**) le nombre de **vibrations du cristal par seconde**, c'est-à-dire le nombre de tops d'horloge émis par seconde.
- Plus la fréquence est élevée, plus il y a de tops d'horloge et donc plus le système pourra traiter d'informations.

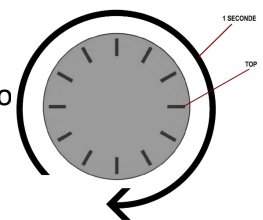
Viktorov 4931hp hp488 8

15

IPC vs CPI

Hes-so VALAIS WALLIS

- Le processeur est un circuit électronique **cadencé** au rythme (multiple) de l'horloge interne
 - A chaque **top d'horloge** le processeur exécute une action, correspondant à une instruction ou une partie d'instruction.
 - 1 top → 1 action* effectuée (instruction ou partie d'instruction)
- **IPC** (*Instructions par Cycle*)
 - nombre moyen d'instructions exécutées pour chaque signal d'horloge. C'est l'inverse du nombre de cycles par instruction (CPI)
- **CPI** (*Cycles Par Instruction*)
 - nombre moyen de cycles d'horloge nécessaire à l'exécution d'une instruction



Viktorov 4931hp hp488 8

16

Instruction Set Architecture (ISA)



- Chaque type de processeur a une architecture spécifique et un **jeu d'instructions** (= langage du processeur) qu'il peut effectuer
 - X86, PowerPC, SPARC, ARM, Alpha, VAX, 68000, MIPS, etc... sont des architectures de jeu d'instructions ou ISA.
- Une architecture de jeu d'instructions est un **modèle abstrait d'une architecture informatique qui définit des éléments tels que le modèle de registre et les instructions du code machine**. Les ISA les plus répandus sont x86 et ARM, des systèmes plus anciens comme Sparc et VAX ont fait les grandes heures de l'informatique dans les années 80 et 90 avec les premiers microprocesseurs comme le Z80 et le 6502.
- Il faut savoir que les ISA sont des **propriétés intellectuelles** qui font l'objet d'une licence. Ainsi, un fabricant, comme Apple ou Qualcomm, qui souhaite concevoir un processeur compatible ARM doit obtenir une **licence d'ARM Ltd, propriétaire de l'ISA**.
- Le système d'exploitation doit être pensé et créé pour fonctionner au sein de l'architecture du CPU.
 - Ainsi, un **programme**, c'est-à-dire une suite de codes numériques d'instructions, **ne peut s'exécuter que sur un ou plusieurs modèles précis de processeurs**.

17

Instruction Set Architecture (ISA)



- Prononcé « risk-five », RISC-V est un ISA basé sur les principes du RISC (*reduced instruction set computer*). Contrairement à la plupart des autres conceptions ISA, RISC-V fait figure d'exception et est fourni sous une licence **open source** dont l'utilisation est gratuite. Le projet a démarré en 2010 à l'Université de Californie, Berkeley, avec des contributeurs bénévoles non affiliés à l'université.
- RISC-V est pris en charge par un certain nombre de compilateurs de langage, y compris la GNU Compiler Collection (GCC), un compilateur de logiciels libres très populaire, et par le système d'exploitation Linux (32 et 64 bits).

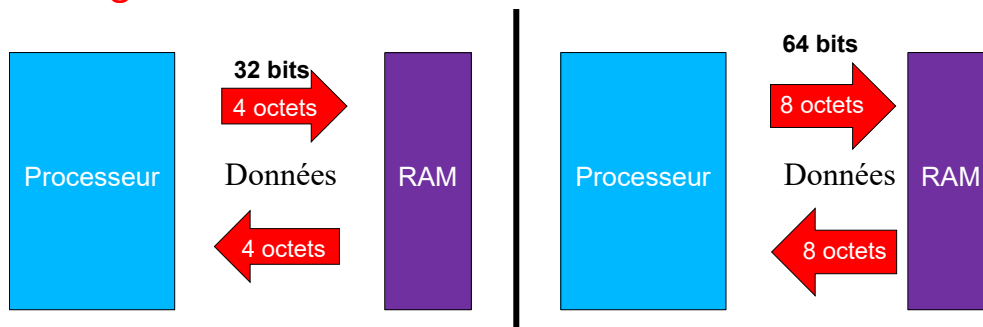
<https://www.futura-sciences.com/tech/definitions/informatique-risc-v-19857/>

18

Fréquence & Largeur

Deux paramètres principaux contribuent à identifier un processeur

- sa **fréquence**
- sa **largeur**



19

Fréquence

- La **fréquence** (vitesse) est un concept relativement simple à comprendre (identique à la RAM).
 - elle se mesure en **mégahertz (MHz)** : 1 herz = 1 cycle par seconde
 - elle correspond au **nombre de millions de cycles par seconde** que le processeur est capable d'effectuer
 - plus elle est élevée, plus le processeur est rapide
- Le **cycle est la plus petite unité de temps au niveau du processeur**. Chaque opération nécessite au minimum un cycle, et parfois plusieurs.

20

Fréquence processeurs vs carte mère



- Depuis le 486DX2, tous les processeurs modernes fonctionnent à une fréquence qui est un multiple de celle de la carte mère
 - un Pentium IV 3GHz fonctionne à 15x la fréquence de la carte mère de 200Mhz
- Jusqu'au début de l'année 1998, la plupart des cartes mères fonctionnaient à 66Mhz, car c'était alors la seule fréquence que les processeurs Intel acceptaient.
- Ensuite, Intel a lancé des processeurs et des chipsets conçus pour des cartes mères à 100, 133, 166, 200 jusqu'à 533Mhz.

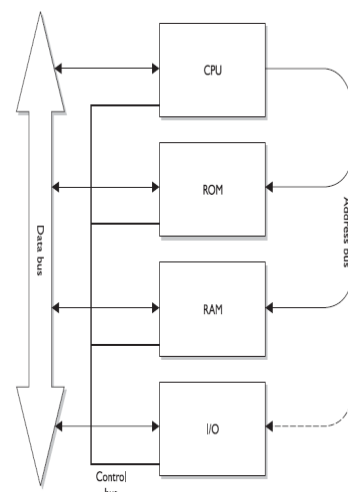
Viktorov 4931hp hp488-4

21

Largeur



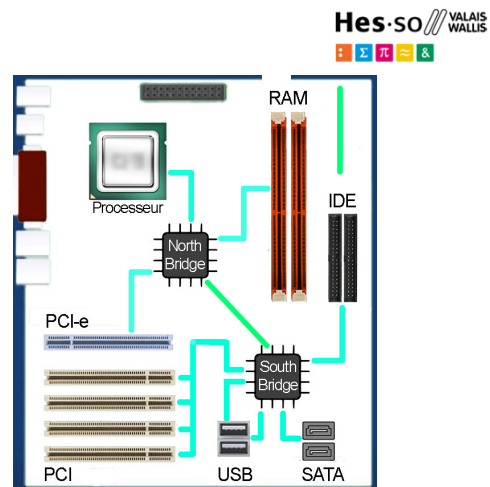
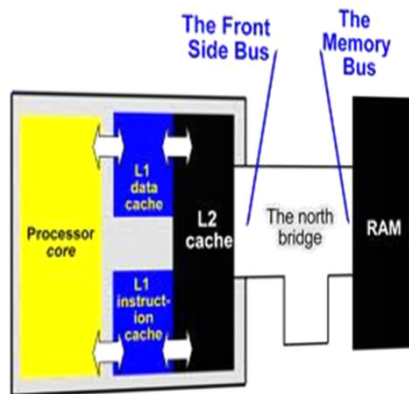
- La **largeur** d'un processeur est un concept un peu plus complexe, car le processeur possède en fait **trois paramètres exprimés sous la forme d'une largeur** :
 - La taille du **bus** d'E/S de données
 - Front-Side Bus
 - La taille du **bus** d'adresses mémoires
 - La tailles des registres internes du processeur
 - 32 bits ou 64 bits



Viktorov 4931hp hp488-5

22

Largeur: Bus de données (FSB)



Le front side bus ou FSB (appelé aussi *bus système*, *bus interne*, en anglais *internal bus* ou *QPI* chez Intel) est le *bus informatique permettant au processeur de communiquer avec la mémoire centrale du système* (mémoire vive, ou RAM). Son débit dépend de la vitesse d'horloge, exprimée en MHz.

23

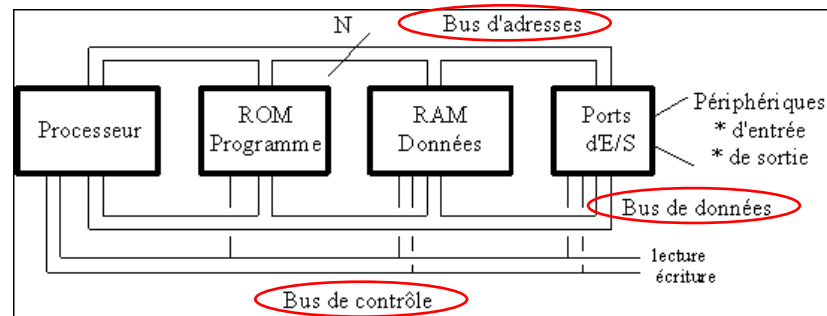
Largeur: Bus d'adresses mémoire

- Les bus d'adresses et de données peuvent être de largeur allant de 8, 16, 32 à 64 bits
- Le **bus d'adresse** est un bus informatique permettant l'adressage de la mémoire dans des systèmes à base de processeur, de microprocesseur ou de microcontrôleur.
 - Il ne faut pas le confondre avec le bus de données ou le bus de contrôle.
- La plupart des systèmes aujourd'hui utilise un bus d'adresse de 64 bits, ce qui signifie que le système peut avoir un espace d'adressage large (2^{64})

24

Largeur: Les Bus résumés

Structure d'un système à microprocesseur



25

Largeur: Registres et RAM

- Un processeur 64 bits est un processeur dont la **largeur des registres** est de 64 bits sur les nombres entiers.
- Mémoire RAM adressable:
 - les processeurs **32 bits** ne peuvent pas adresser plus de **4GO (2^{32}) de mémoire centrale**, tandis que les processeurs **64 bits** peuvent adresser **16 exbioctets (2^{64}) de mémoire**. C'est pourquoi dès qu'il y a plus de 4 GO sur une machine, la mémoire au-delà de 4 GO ne sera utilisable qu'en 64 bits.
 - Activer l'EAP pour voir plus de mémoire [étendre l'accès à la mémoire physique jusqu'à 36 bits].
 - Windows 7 32 bits → KO
 - Windows serveur → licence spécifique
 - Linux → OK depuis le noyau 2.3.23

26



Débit d'un bus



Débit = Quantité de données pouvant être transportées par unité de temps

- Il est possible de connaître le **débit maximal** du bus (ou taux de transfert maximal), en **multipliant sa largeur par sa fréquence**.
- Un bus d'une **largeur de 16 bits**, cadencé à une **fréquence de 133 MHz** possède donc un débit égal à :
 - $16 \times 133 \times 10^6$ bit/s
 - $2'128 \times 10^6$ bit/s
 - 266×10^6 o/s = 266 Mo/s



27

Mémoires cache



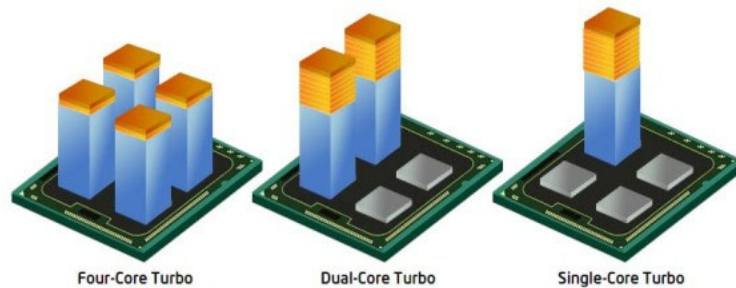
- Mémoire rapide (sram) avec un coût très élevé
 - Inclure ce type de mémoire à proximité du processeur et y stocker temporairement les principales données devant être traitées par le processeur
- Plusieurs niveaux de mémoire cache
 - Cache de premier niveau (L1 Cache)
 - Directement intégrée dans le processeur
 - Très rapide d'accès
 - Cache de second niveau (L2 Cache)
 - Située dans le boîtier contenant le processeur (dans la puce)
 - Moins rapide que L1 mais plus rapide que mémoire vive
 - Cache de troisième niveau (L3 Cache)
 - Autrefois au niveau de la carte mère mais maintenant très souvent dans le CPU



28

Coeurs

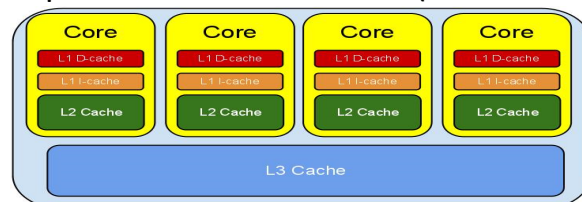
- Le nombre de cœurs d'un processeur représente le nombre d'instructions pouvant être traitées simultanément. Ainsi :
 - 1 cœur => possibilité de traiter une seule instruction à la fois
 - X cœurs = possibilité de traiter X instructions à la fois



30

Coeurs

- Le multicœurs permet à l'utilisateur d'effectuer plusieurs tâches simultanément sans subir de ralentissement. Il est ainsi possible d'utiliser Google Chrome et Adobe Photoshop en même temps.
 - Exemple :
Intel(R) Core(TM) i7-6700HQ CPU @ 2.60GHz, 2601 MHz, 4 cœur(s), 8 processeur(s) logique(s)
- La plupart des logiciels n'utilisent qu'un seul cœur, mais il existe des logiciels pouvant utiliser plusieurs cœurs à la fois (retouche photo ou jeux-vidéos)

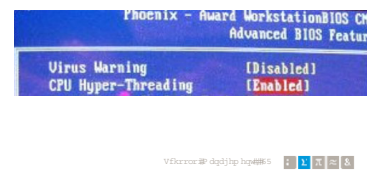
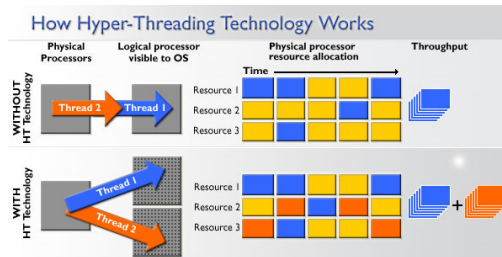


31

HyperThreading → activer * les processeurs physiques



- Consiste à créer deux processeurs logiques sur une seule puce, chacun doté de ses propres registres de données et de contrôle, et d'un contrôleur d'interruptions particulier.
 - Ces deux unités partagent les éléments du cœur de processeur, le cache et le bus système.
 - Les deux sous-processus peuvent être traités simultanément par le même processeur.
- Cette technique multitâche permet d'utiliser au mieux les ressources du processeur en garantissant que des données lui sont envoyées en masse. Elle permet aussi d'améliorer les performances en cas de défauts de cache (cache misses).



32

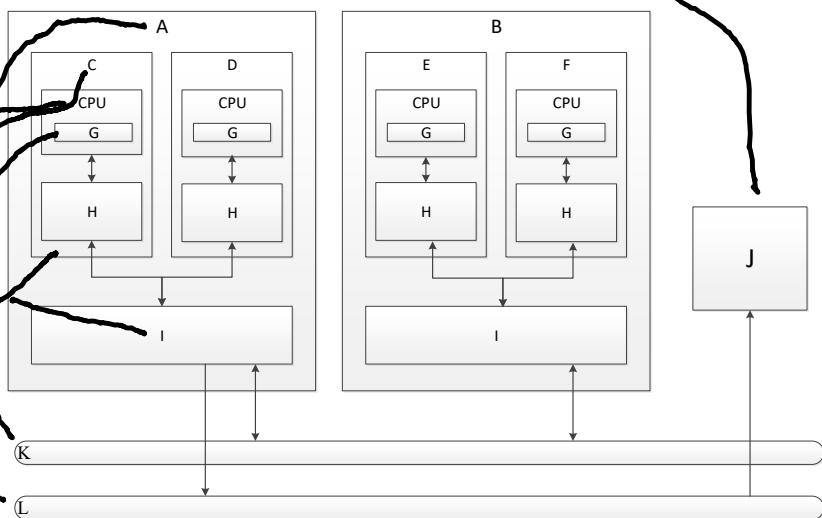
! Examen

Question: 2 processeurs en dual-core

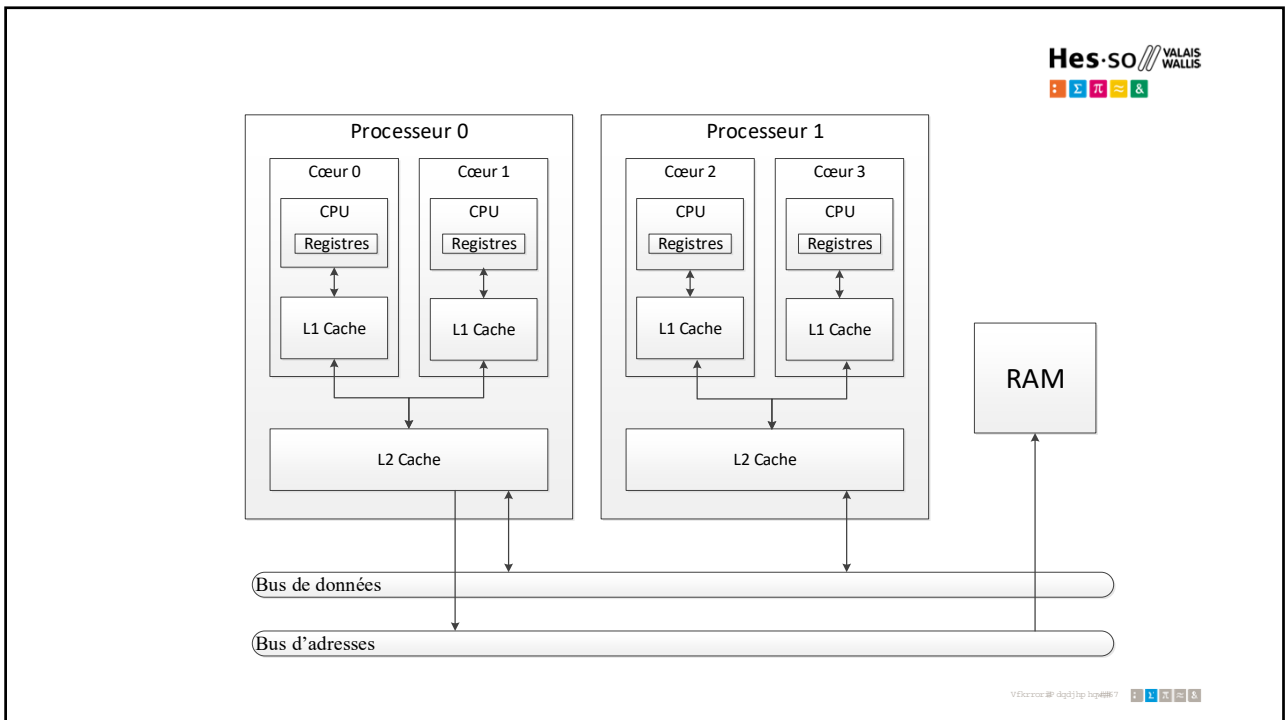


Keywords

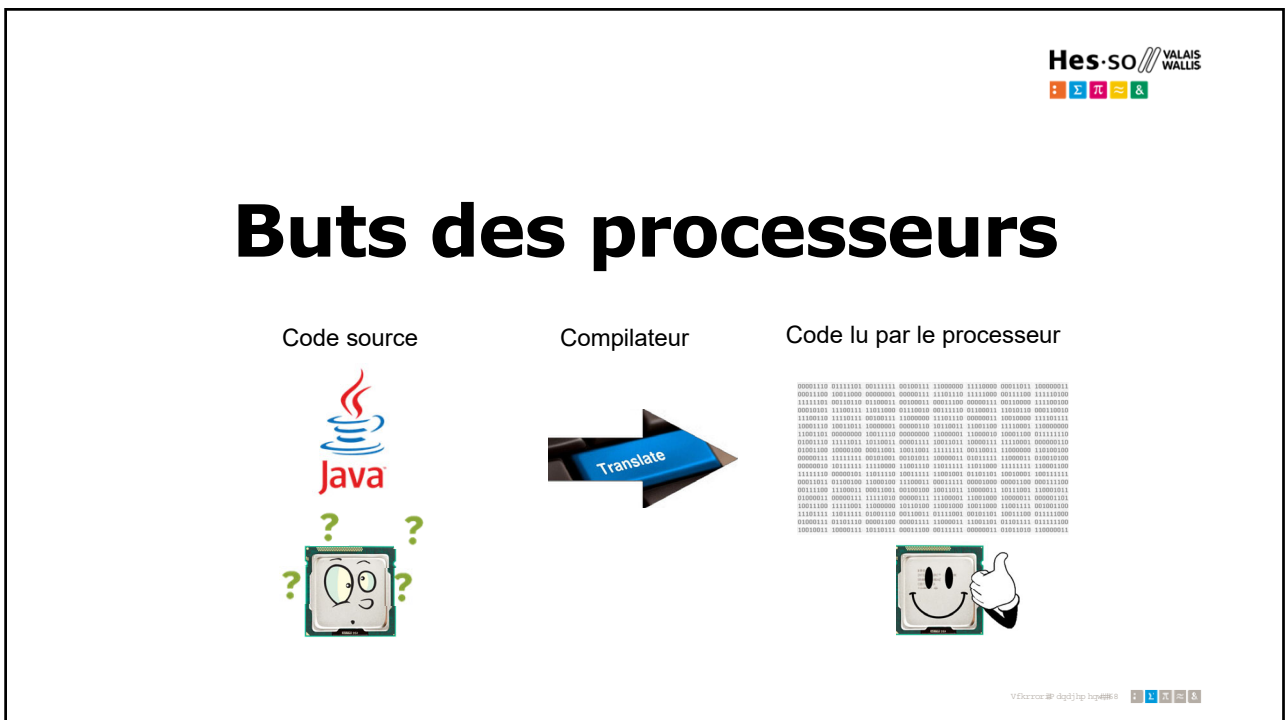
- CPU
- CŒUR 0-1-2-3
- REGISTRES
- RAM
- BUS DONNEES
- CACHE L1-L2-L3
- PROCESSEUR 0-1
- BUS ADRESSES



33



34



35

Cycle d'un programme

Code machine ou langage machine

- Initialement les programmes étaient écrits directement en **code machine**
 - Le langage machine est la **suite de bits** qui est interprétée par le processeur d'un ordinateur exécutant un programme informatique. C'est le **langage natif d'un processeur**, c'est-à-dire le seul qu'il puisse traiter. Il est composé **d'instructions** et de **données** à traiter **codées en binaire**.

```
101 0111
110 1001
110 1011
110 1001
111 0000
110 0101
110 0100
110 1001
110 0001
```

→ Encodage binaire du mot « Wikipedia »

- les codes numériques correspondant aux instructions étaient entrés un par un en mémoire par l'utilisateur

36

Cycle d'un programme

Assembleur

- On est très rapidement passé en **assembleur** où les **expressions symboliques** ont remplacés les codes numériques binaires.
 - les **instructions** étant souvent **peu puissantes**, il faut en aligner beaucoup pour obtenir un résultat, même simple.
 - Les instructions sont **spécifiques à un modèle de processeur** et tout changement de machine implique une réécriture plus ou moins complète du code.



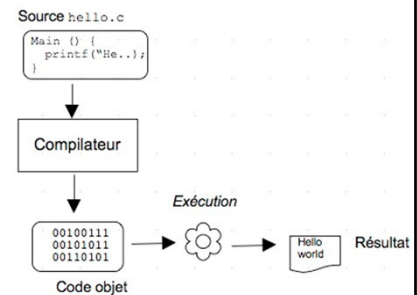
```
ABC ; label .
MOVLW H'05' ; H'05' ---> W .
MOVWF R ; Le contenu de W ---> R.( H'05' ---> R ).
CALL S1 ; Appelle du sous-programme dont le label est S1 .
CALL S2 ; Appelle du sous-programme dont le label est S1 .
GOTO ABC ; Aller au label ABC .
;+++++ sous-programme S1 ++++++
S1 ; label .
DECFSZ R ; R = R - 1 ; Sauter l'instruction suivante si R = 0 .
GOTO S1 ; Aller au label S1 .
RETURN ; Fin d'un sous-programme On revient à l'endroit
; où ce sous-programme à été interrompu .
```

37

Cycle d'un programme

Compilateur

- Pour palier à ces défauts, des **langages évolués** et leurs nombreuses variantes ont été développés
 - C, C++, Java, Pascal, Ada
- Le prix à payer est bien sûr que ces instructions ne sont plus directement compréhensibles par l'ordinateur → **Rôle du compilateur**
 - Programme qui prend en entrée un fichier texte contenant le code source écrit en langage évolué pour produire un fichier exécutable formé de codes numériques propres à la machine.



38

Cycle d'un programme

Interpréteur



- L'étape de **compilation**, nécessaire lors de chaque modification du programme, peut prendre un **certain temps**
- D'autres langages (comme PHP, Perl ou Basic) proposent une autre méthode, qui consiste, non pas à traduire les instructions, mais à les **exécuter au fur et à mesure** via un **interpréteur**.
 - **Python** est un langage interprété
 - **Java** est un mélange incluant compilateur et interpréteur (machine virtuelle)

39

Résumé: critères à considérer



- Type de processeur (jeu d'instruction)
- Fréquence (GHz)
- Consommation énergétique
- Nombre de cœurs
- Mémoire cache

Vidéo: 4x31p 10488-1

59

Références



- <https://www.youtube.com/watch?v=hGj8K89aAng>
- <https://www.youtube.com/watch?v=SsL78GVCx4E>
- <https://www.youtube.com/watch?v=bcBOyAIU2m4>
- https://fr.wikipedia.org/wiki/Jeu_d%27instructions_x86

Vidéo: 4x31p 10488-1

60